

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SOLID STATE IMAGE PICKUP DEVICE

Patent Number: JP61141174
Publication date: 1986-06-28
Inventor(s): TAKESHITA TETSUYOSHI; others: 03
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP61141174
Application: JP19840263366 19841213
Priority Number(s):
IPC Classification: H01L27/14 ; H04N5/335
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve S/N ratio while increasing the saturated light quantity by a method wherein a part of lower electrode of receptive element is oxidized to provide a capacitor in parallel with the receptive between upper and lower electrodes.

CONSTITUTION: A non-doped polycrystalline silicon layer 102 is formed on an insulating substrate 101 and after forming a gate insulating film by thermal oxidation, another polycrystalline silicon layer 103 to be a gate electrode is formed and then ion is implanted to provide source and drain electrodes. Firstly after forming an interlayer insulating film 104, a contact hole is made to form a conductive material into a vertical line 105 and then a flattened film 106 serving both as another interlayer film is formed. Secondary after making a contact hole in the interlayer 106, a conductive thin film 100 is formed to be oxidized as an additional capacitor 109 utilizing a receptive film 108 as a mask. Through these procedures, the additional capacitor 109 with high evenness may be formed easily increasing S/N ratio and saturated light quantity.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭61-141174

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)6月28日

H 01 L 27/14
H 04 N 5/3357525-5F
8420-5C

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 昭59-263366

⑯ 出 願 昭59(1984)12月13日

⑰ 発 明 者	竹 下 哲 義	諏訪市大和3丁目3番5号	株式会社諏訪精工舎内
⑰ 発 明 者	栗 原 一	諏訪市大和3丁目3番5号	株式会社諏訪精工舎内
⑰ 発 明 者	岡 秀 明	諏訪市大和3丁目3番5号	株式会社諏訪精工舎内
⑰ 発 明 者	長 谷 川 和 正	諏訪市大和3丁目3番5号	株式会社諏訪精工舎内
⑰ 出 願 人	セイコーエプソン株式 会社	東京都新宿区西新宿2丁目4番1号	
⑰ 代 理 人	弁理士 最 上 務		

明 細 書

1. 発 明 の 名 称

固体撮像装置

2. 特 許 請 求 の 範 囲

(1) 絶縁性基板上に形成した受光素子の蓄積放電電荷量を検出する形式の固体撮像装置において該受光素子の下部電極の一部を酸化することで上部電極との間に該受光素子と並列に容量を設けたことを特徴とする固体撮像装置。

(2) 受光素子として非晶質シリコン、そして下部電極にクロムもしくはアルミニウムを用いた受光素子で、非晶質シリコンのフォトエッチングと同時に酸化膜の付加容量成分を形成することを特徴とする特許請求の範囲第1項記載の固体撮像装置。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、固体撮像素子を用いた固体撮像装置に関するものである。

(従来の技術)

従来、固体撮像素子としてCCD型やMOS型が実用化されている。固体撮像素子は撮像管に比べて振動や衝撃に強く、消費電力が少なく、長寿命であるなどの特徴がある。さらに、CCD型とMOS型を比べると、MOS型はCCD型よりも開口率が大きくできて、転送電荷量の制限がないので大きな信号量を取り出せる。しかし、MOS型は雑音が多いという欠点を有する。第3図に代表的なMOS型の回路模式図をのせる。この図を用いて雑音の発生原因をのべると、最大の問題は水平MOSFETスイッチの開閉に伴う雑音であり、これは垂直ライン $V_1 \sim V_n$ の配線容量が大きく、さらに $V_1 \sim V_n$ についているトランジスタの電極-基板容量が大きいためラインに残っている雑音電荷を読み出してしまふことによる。これらは、受光部の容量に比べてけた違いに大きいためにB/N比の大きな低下につながる。以上の

雑音の他に解決しなければならない問題にスミアがある。これはCCD型にもMOS型にも現われその原因の一つに受光部以外に入射した光による発生電荷が信号ラインに混入することによる。

そこで、基板に絶縁物を用いて素子を薄膜化することで配線容量を大きく低減させ、さらに受光素子に付加容量を設けて B/N 比を上げる方法が考えられる。たとえば、付加容量として SiO_2 や Y_2O_3 などの薄膜を新たに設ける方法がある。

〔発明が解決しようとする問題点〕

しかし前述の従来技術では受光素子に付加容量を接続するのに新たに薄膜を設けてやらねばならないために製造工程が増えてしまいコストが増加するとともに、薄膜が均一に形成されにくいために雑音に結びつくことになる。

そこで本発明はこのような問題点を解決するもので、その目的とするところは、製造工程を増やすことなく均一な付加容量を受光素子に並列に設けた固体撮像装置を提供するところにある。

る。受光素子及びスイッチング素子は半導体薄膜ならばいかなるものでも利用は可能であるが、ここでは受光素子として非晶質シリコンのフォトダイオード、スイッチング素子として多結晶シリコンTFTを用いて代表させる。第2図は第1図の等価回路である。第1図において(a)は断面図、(b)は平面図であり、製造工程としては以下に示す様になる。石英ガラスなどの絶縁基板101上にノンドープの多結晶シリコン層102を形成、熱酸化法でゲート絶縁膜を形成後にゲート電極となる第2の多結晶シリコン層103を形成する。これはまたゲート・ラインともなる。その後イオン打込み法によりソースとドレイン電極を設ける。次に層間絶縁膜104として SiO_2 などを形成した後、コンタクトホールを形成し垂直ライン105を Al などの導電性物質で形成し、その上に層間絶縁膜を兼ねて平坦化のためにポリイミド樹脂等を106として形成する。以上は一般的な多結晶ポリシリコンTFTの形成方法であり、これから後が本発明に關して重要な製造工程である。層間絶縁膜にコンタ

〔問題点を解決するための手段〕

本発明の固体撮像装置は、受光素子部分をマスクとして受光素子の下部電極の一部を酸化することによって形成される酸化膜が上部電極との間で付加容量とすることで、容易に均一な付加容量が受光素子と並列に設けることができることを特徴とする。

特に受光素子のフォトリソエッチングに酸素含有のフロンガスを用いたドライエッチング技術を用いることで必然的にできる酸化膜を利用する。また、受光素子部分に非晶質シリコンを用い、ドライブ部分に多結晶シリコンを用いることでスミアの少ない高感度かつ飽和光量の大きい固体撮像素子となる。

〔作用〕

本発明の上記の構成によれば、受光素子の下部電極に形成される酸化膜が下部電極と上部電極の間で素子の付加容量となり、飽和光量を増すとともに高 B/N 比の低雑音固体撮像素子となる。

〔実施例〕

第1図は、本発明の実施例における構造図であ

クトホールを形成した後、面素の下部電極として Cr や Al などで導電性薄膜107を形成するが、ここでこの薄膜は108の受光膜を形成後にこの受光膜(ホトレジストがついている場合もある)をマスクとして107の導電性薄膜を酸化して付加容量部109とするため、酸化が容易で酸化膜が高抵抗で緻密でなくてはならない。酸化方法としては種々の方法が考えられるが、108の受光薄膜を酸素とフロンとのプラズマでエッチングする場合は必然的に酸化膜109が形成され、なんら酸化工程を増やす必要はない。この方法で酸化した後さらに酸素プラズマ処理したり、熱硝酸などで酸化してもよく、水蒸気酸化などもよい。本実施例でこれらの酸化方法で Cr と $Al-Si$ を下部電極107とした場合の特性例を第1表に示す。ここで、108の受光薄膜はGDプラズマCVD法で形成した非晶質シリコン(以下、 $a-Si$ と略す)、110は透明電極(上部電極)ならばいかなるものでもよいが、ここではITOを用いている。

条 件	素子容量 (pF/100 μm^2)	絶縁性
(1) $\text{CP}_4 + \text{O}_2$ で $\alpha\text{-Si}$ を エッチング	0.2	良
(2) (1)に加えて O_2 プラズマ 処理	0.5	最良
(3) (1)に加えて 熱硝酸処理	0.5	良
(4) 電極に Al-Si を用い (2)の条件	0.2	並
(5) 電極に Al-Si を 用いて水蒸気で酸化	0.3	良

注) (1)～(3)の下部電極は Cr である。

第 1 表

第 1 表で素子容量は $\alpha\text{-Si}$ の容量と酸化膜の付加容量との和であるが、 $\alpha\text{-Si}$ の容量は $0.01 \text{ pF}/100 \mu\text{m}^2$ 程度である。均一性に関しては、(3)の条件がもっとも良く全素子でのバラツキは ± 1 以内であり、他は ± 2.5 以内である。いずれにし

(a) は断面図で、(b) は平面図である。

第 2 図は実施例の等価回路図である。

第 3 図は一般的な MOS 型固体撮像装置の回路図である。

- 101 …… 基板
- 103 …… ゲート電極
- 105 …… 垂直ライン
- 107 …… 下部電極
- 108 …… 受光薄膜
- 109 …… 酸化膜
- 110 …… 上部電極

以 上

出 願 人 株式会社 諏訪精工舎

代 理 人 弁 理 士 最 上



てもこれらは SiO_2 や誘電薄膜を別途に形成する場合よりも著しく容易であり、バラツキも少ない (SiO_2 の場合は ± 5 程度)。

第 2 図の等価回路でみると、以上の工程により受光素子 DiL に付加容量 Ca が並列についた回路となる。

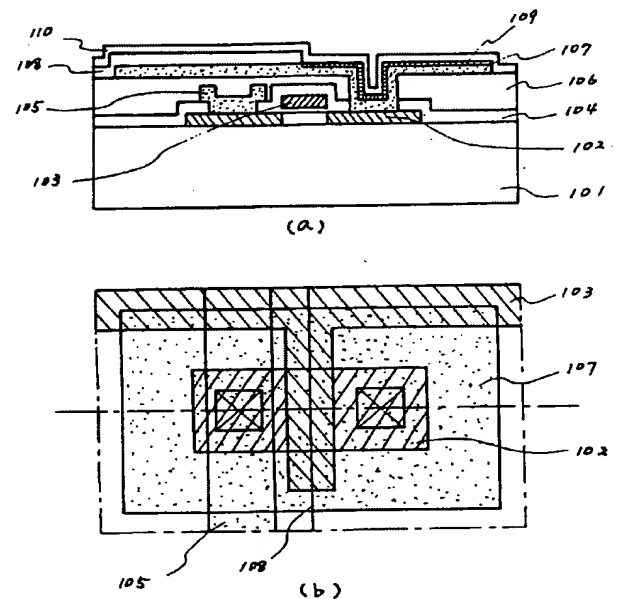
また上記例では下部電極として金属をあげたが不純物ドーピングされた低抵抗非晶質シリコンを用いて、酸化を行ない SiO_2 を形成して付加容量として用いることもできる。

(発明の効果)

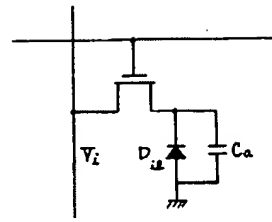
以上述べたように本発明によれば、薄膜受光素子のパターンをマスクとすることで製造工程を増やすことなく、著しく容易に均一性の高い付加容量を形成できるために B/N 比が大きく、飽和光量の大きいすぐれた固体撮像装置を低コストで容易に得ることができる。

4. 図面の簡単な説明

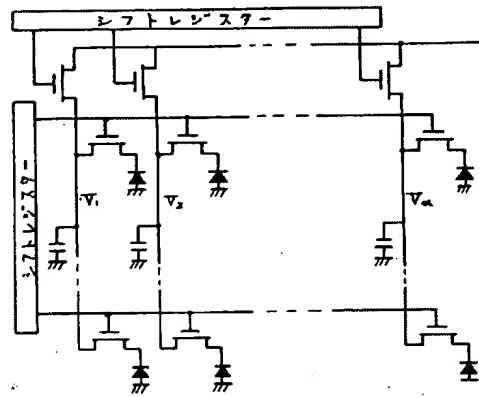
第 1 図は本発明の固体撮像装置の実施例であり



第 1 図



第 2 図



第 3 図